

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-65101

(43) 公開日 平成10年(1998) 3月6日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/04

H 0 1 L 27/04

C

21/822

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号

特願平8-221202

(22) 出願日

平成8年(1996) 8月22日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 小塩 賢治

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

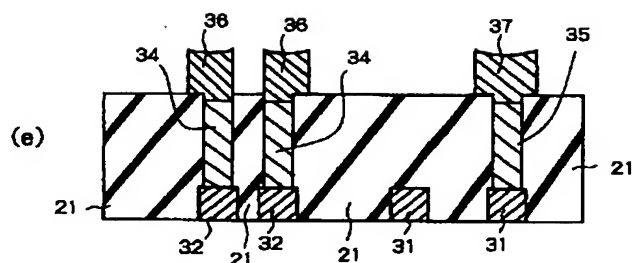
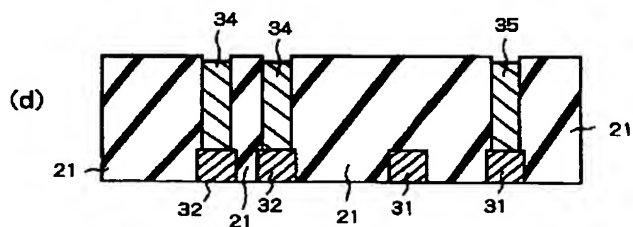
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 必要とする電気容量を確保しつつキャパシタの占有面積を減少させ、装置のサイズを縮小可能にした半導体装置を提供する。

【解決手段】 層間絶縁膜 21 内に互いに近接した電極部 32、34、36 を立体的に成形および配置し、少なくともこの電極部の間に容量を形成してなる容量素子とする。



【特許請求の範囲】

【請求項1】層間絶縁膜内に互いに近接した電極部を設け、少なくともこの電極部の間に容量を形成してなる容量素子を有することを特徴とする半導体装置。

【請求項2】更に、上記電極部と近接する配線層との間に容量を形成してなる請求項1記載の半導体装置。

【請求項3】上記電極部が層間絶縁膜を貫通して層間絶縁膜の下に配線層と接続されている請求項1記載の半導体装置。

【請求項4】上記電極部が層間絶縁膜に掘られた凹部に埋める埋込電極を有する請求項1記載の半導体装置。

【請求項5】層間絶縁膜の上下に互いに近接したそれぞれ2個以上の電極部が並べられ、互いに隣接する電極部間及び上下の電極部間に容量を形成してなる請求項1記載の半導体装置。

【請求項6】層間絶縁膜の上から掘られた凹部に形成されている埋込電極と層間絶縁膜の下に存する下部電極とを有し、これらの埋込電極と下部電極との間に容量が形成されてなる請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、とくに容量素子を有する半導体装置に関する。

【0002】

【従来の技術】A-Dコンバータなど、大容量で高耐圧性の容量素子（キャパシタ）を必要とする半導体装置においては、容量素子サイズの縮小やそれに伴う装置全体の縮小が大きな課題となっている。

【0003】容量素子の構成としては、ポリシリコン-アルミニウム、アルミニウム-アルミニウム等の平行平板電極を用いて容量素子を形成していた。

【0004】

【発明が解決しようとする課題】近年の半導体装置では、微細加工が可能となるように層間膜を平坦化することが多い。この結果、層間膜厚が厚くなりやすくなっている。また、装置の処理速度を低下させないようにするため、層間の電気容量を低減するような層間膜を用いた構造になってきている。

【0005】このような状況下において上記のような平行平板型の電極からなる容量素子を形成するためには、必要な電気容量を確保するために相当の電極サイズが必要となり、いきおい装置サイズの縮小の妨げとなっていた。従って、本発明の目的は、容量素子を有する半導体装置において、必要とする電気容量を確保しつつ容量素子の占有面積を減少させ、装置のサイズを縮小可能にすることを目的とする。

【0006】

【課題を解決するための手段】上記目的を達成するため、本発明は、層間絶縁膜内に互いに近接した電極部を設け、少なくともこの電極部の間に容量を形成してなる

容量素子を有することを特徴とする半導体装置を提供する。

【0007】本発明の半導体装置は、容量素子を構成する電極を層間絶縁膜中に立体的に配置する。対をなす電極の向かい合う向きは、上下方向あるいは左右方向とすることができる。空間的に空いていた領域を有効に活用するとともに、電極自体を立体的に配置することで必要とする電気容量を確保することができ、容量素子の占有面積を減少させることができる。

【0008】

【発明の実施の形態】以下に、本発明にかかる半導体装置について説明する。

第1実施形態

図2(e)は本発明の半導体装置に係る容量素子の第1実施形態を示す断面図である。

【0009】電界効果型トランジスタやその他の素子を形成した基板上、あるいはそれら素子を被覆する層間膜上に下地配線31、32があり、その下地配線を被覆するように層間平坦化膜21がある。層間平坦化膜には下地配線31、32にそれぞれ接続された埋め込みキャパシタ電極34、34と埋め込みコンタクト電極35が埋設されており、その上部には上層配線36、36、37がそれぞれ接続されている。下地配線32、埋め込みキャパシタ電極34および上層配線36を組み合わせる電極が図面上1対あり、容量素子を形成している。

【0010】この容量素子は1対の電極を縦方向に形成しており、下地配線、埋め込みキャパシタ電極および上層配線の側面に容量を持つものである。従って必要な電気容量を確保しながら容量素子の占有面積の縮小ができる。次に、本実施形態の半導体装置の製造方法について、図1および図2を用いて説明する。まず、図1

(a)に至るまでの過程について説明する。ゲート電極などを基板上に、拡散層などを基板中に形成して電界効果型トランジスタを形成し、あるいは同様の手段でバイポーラトランジスタやその他の素子を形成し、同じ基板平面上あるいはそれらトランジスタの電極などを被覆して平坦化した層間膜上にアルミニウムなどの導電体からなる下地配線31、32を設置する。図では、基板およびトランジスタ等の素子の表示を省略してある。下地配線31は拡散層に接続されているものでも、その他の電極に接続されているものでもよい。2つの下地配線32、32は互いに絶縁されている。これら下地配線31、32を被覆するように、PSGまたはBPSGをリフローまたはエッチバックして層間平坦化膜21を形成する。層間平坦化膜上21にキャパシタ用ホールパターン1とコンタクトホールパターン2を有するレジストR1を形成する。

【0011】次に、図1(b)に示すように、レジストR1に沿ってRIE（反応性イオンエッチング）などの異方性エッチングを行い、キャパシタ用ホールPHおよび

びコンタクトホールCHを同時に開口し、下地配線31、32の表面を露出させる。次に、図1(c)に示すように、レジストR1除去の後、タングステンなどの導電体をCVDして埋め込み配線層33を形成し、キャパシタ用ホールPHとコンタクトホールCHを導電体で埋め込む。

【0012】次に、図2(d)に示すように、埋め込み配線層33をエッチバックして、埋め込みキャパシタ電極34、34および埋め込みコンタクト電極35を形成する。次に、図2(e)に示すように、埋め込みキャパシタ電極34、34および埋め込みコンタクト電極35にそれぞれ接続する上層配線36、36、37をアルミニウムなどの導電体のスパッタリングにより形成する。これにより、下地配線32、埋め込みキャパシタ電極34および上層配線36からなるキャパシタ電極が1対でき、これらの側面に容量を持つ容量素子が完成する。

【0013】本態様では1対の電極を形成しているが、必要に応じ多数の電極を形成することができる。本態様においては、層間平坦化膜上にキャパシタ用ホールパターンとコンタクトホールパターンを有するレジストを形成することにより、キャパシタ用ホールとコンタクトホールを同時に開口することができるので、容量形成のための専用のマスクが必要ない。また、埋め込みキャパシタ電極の埋設工程もコンタクトプラグの埋設と同時に行うことができる。このように、容量形成のために特別な工程を追加する必要がないので、製造コストを抑えながら容量素子を形成できる。

【0014】第2実施形態

図4(e)は本発明の半導体装置に係る容量素子の第2実施形態を示す断面図である。電界効果型トランジスタやその他の素子を形成した基板上、あるいはそれら素子を被覆する層間膜上に下地配線31、32があり、その下地配線を被覆するように層間平坦化膜21がある。層間平坦化膜には埋め込みキャパシタ電極34、34と埋め込みコンタクト電極35が埋設されており、その上部には上層配線36、36、37がそれぞれ接続されている。埋め込みキャパシタ電極34、34は層間平坦化膜21を貫通しないように埋設されており、一方埋め込みコンタクト電極35は層間平坦化膜21を貫通して下地配線31と接続されている。埋め込みキャパシタ電極34と上層配線36を組み合わせる電極が図面上1対あり、容量素子を形成している。

【0015】本実施形態の容量素子は第1実施形態と同様、1対の電極を縦方向に形成しており、埋め込みキャパシタ電極と上層配線の側面に容量を持つものである。従って必要な電気容量を確保しながら容量素子の占有面積の縮小ができる。次に、本実施形態の半導体装置の製造方法について、図3および図4を用いて説明する。図3(a)に至るまでの過程については、第1実施形態の図1(a)に至る過程と同様である。但し、下地配線3

2はなくてもよく、レジストR2にはキャパシタ用ホールパターン1のみがパターンニングされている。

【0016】次に、図3(b)に示すように、キャパシタ用ホールPHを異方性エッチングにより開口する。この際、下地配線32がある場合には、それが露出する前にエッチングを終了する。下地配線32がない場合には、層間平坦化膜21が貫通しない程度にエッチングを留めておく。

【0017】次に、図3(c)に示すように、レジストR2を除去し、コンタクトホールパターン2のみパターンニングしたレジストR3を形成し、異方性エッチングによりコンタクトホールCHを開口し、下地配線31を露出させる。次に、図4(d)に示すように、レジストR3を除去し、タングステンなどの導電体をCVDして埋め込み配線層を形成した後、埋め込み配線層をエッチバックして埋め込みキャパシタ電極34、34および埋め込みコンタクト電極35を形成する。

【0018】次に、図4(e)に示すように、埋め込みキャパシタ電極34、34および埋め込みコンタクト電極35にそれぞれ接続する上層配線36、36、37をアルミニウムなどの導電体のスパッタリングにより形成する。これにより、埋め込みキャパシタ電極34および上層配線36からなるキャパシタ電極が1対でき、これらの側面に容量を持つ容量素子が完成する。

【0019】本態様では1対の電極を形成しているが、必要に応じ多数の電極を形成することができる。このキャパシタ電極は下部の下地配線の有無に関わらず所望の領域に容量素子を形成することができ、しかも単層配線のみで形成できるので簡便に形成できる。

【0020】第3実施形態

図6(e)は本発明の半導体装置に係るキャパシタの第3実施形態を示す断面図である。電界効果型トランジスタやその他の素子を形成した基板上、あるいはそれら素子を被覆する層間膜上に下地配線31、32があり、その下地配線を被覆するように層間平坦化膜21がある。層間平坦化膜には埋め込みキャパシタ電極34a、34b、34cと埋め込みコンタクト電極35が埋設されており、その上部には上層配線36、37がそれぞれ接続されている。埋め込みキャパシタ電極34a、34b、34cは層間平坦化膜21を貫通しないように、即ち下地電極32と接続しないように埋設されており、一方埋め込みコンタクト電極35は層間平坦化膜21を貫通して下地配線31と接続されている。埋め込みキャパシタ電極34a、34b、34cおよび上層配線36を組み合わせる電極と、下地配線32とで1対の電極をなし、容量素子を形成している。

【0021】この容量素子は、上層配線の下部表面に埋め込みキャパシタ電極を凸設してなる上部電極と、平らな下部電極を上下に向かい合わせて形成しており、その電極の向かい合った側面に容量を持つものである。上部

電極の下部表面に形成した凹凸により表面積が増加しているため、必要な電気容量を確保しながら容量素子の占有面積の縮小ができる。

【0022】次に、本実施形態の半導体装置の製造方法について、図5および図6を用いて説明する。図5

(a)に至るまでの過程については、第1実施形態の図1(a)に至る過程と同様である。但し、レジストR2にはキャパシタ用ホールパターン1のみがパターンニングされている。

【0023】次に、図5(b)に示すように、キャパシタ用ホールPHを異方性エッチングにより開口する。この際、下地配線32が露出する前にエッチングを終了する。次に、図5(c)に示すように、レジストR2を除去し、コンタクトホールパターン2のみパターンニングしたレジストR3を形成し、異方性エッチングによりコンタクトホールCHを開口し、下地配線31を露出させる。

【0024】次に、図6(d)に示すように、レジストR3を除去し、タングステンなどの導電体をCVDして埋め込み配線層を形成した後、埋め込み配線層をエッチバックして埋め込みキャパシタ電極34a、34b、34cおよび埋め込みコンタクト電極35を形成する。

【0025】次に、図6(e)に示すように、埋め込みキャパシタ電極34a、34b、34cおよび埋め込みコンタクト電極35にそれぞれ接続する上層配線36、37をアルミニウムなどの導電体のスパッタリングにより形成する。これにより、3つの埋め込みキャパシタ電極34a、34b、34cおよび上層配線36からなるキャパシタ電極ができ、この電極とその下部にある下地配線32が1対の電極となり、これらの側面に容量を持

$$C = Z \left((K + M) / J + I / L \right) \quad \dots (1)$$

で表される。ここで、Zは系の誘電率を含む比例定数である。一方、従来の平行平板型の電極で同じ占有面積に※

$$C' = Z (J / L + I / L) \quad \dots (2)$$

で表される。従って、

$$(K + M) / J > J / L \quad \dots (3)$$

を満たすとき、本態様の容量素子は従来型の平行平板型容量素子に比べて狭い面積で有効に容量を増加させることができる。この条件は、図7における層間平坦化膜2★

$$(E * K + M) / J > J / L \quad \dots (4)$$

となる。

【0029】本態様の容量素子の製造方法としては、第1～第3実施態様の容量素子の製造方法とほぼ同様である。下部電極形成a、b、c、dの後に層間平坦化膜21を堆積し、その上面に伝導膜を堆積させ、上部電極A、B、C、D様にエッチングして形成する。その後、上部電極を保護するように酸化シリコンなどの保護絶縁膜22をCVDする。上部電極は層間平坦化膜21に電極用のホールを開口して埋め込むように形成してもよい。また、図7では上部と下部に各4個ずつの電極を形

*つ容量素子が完成する。

【0026】本態様では3個の埋め込みキャパシタ電極を形成しているが、必要に応じ多数形成することができる。また、埋め込みキャパシタ電極は溝状に開口したホールに形成しているが、例えば表面積を増加させて電気容量を増やすような他の形としてもよい。本実施態様の半導体装置の製造方法においては、上層電極の形状が他の配線形状と変わらず、また段差も変わらないので、この後のプロセスに対する整合性がよい。

10 【0027】第4実施形態

図7～図9は本発明の半導体装置に係る容量素子の製造方法の第4実施形態を示す図である。図7は、本発明の半導体装置に係る容量素子の構造を示す断面図である。平行平板型の電極を4個ずつ上下に並べた構造となっており、アルミニウムなどの導電体からなる下部電極a、b、c、dと、上部電極A、B、C、Dが、絶縁膜中に配置されている。下部電極a、cと上部電極B、Dが導通して1つの電極として働き、また下部電極b、dと上部電極A、Cも同様であり、計8個の電極が全体として1対の電極となり、容量素子を形成する。8個の電極は上下左右に隣り合う電極との側面にそれぞれ容量を持つことができ、結局図8に示す回路図と等価な容量素子となる。

【0028】図7に示すように、個々の下部電極は幅I、高さMであり、上部電極は幅I、高さKであるとし、また下部電極同士、上部電極同士の間隔はJであり、下部電極と上部電極の間隔はLであるとするとき、誘電率が下部電極領域と上部電極領域で均一であるとき、系の電気容量Cは

※容量素子を形成した場合、系の電気容量C'は

$$\dots (2)$$

$$\dots (3)$$

★1と保護絶縁膜22の誘電率が等しくなく、例えば保護絶縁膜22の方がE倍に大きいとき、

$$\dots (4)$$

成しているが、この個数は上部および下部電極がそれぞれ複数個であれば特に制限はない。

【0030】上記のように、本実施態様の容量素子は、従来型の平行平板型容量素子とほとんど同様の簡便なプロセスで従来の平行平板型よりも容量の増大した容量素子を製造することができる。本態様の容量素子の一実施例の構造を図9に示す。この図では、容量素子全体を被覆している絶縁層の表示は省略している。下部電極a、cと上部電極B、Dは接続部分38により電氣的に接続されていて1つの電極として働き、また下部電極b、d

と上部電極A、Cも同様である。個々の電極と接続部分の境界は示してない。接続部分には導電性がある素材を使用でき、電極と同じ素材でも、異なる素材でもよい。

【0031】本発明は上記態様に限定されない。例えば、下地電極32、埋め込みキャパシタ電極34および上部配線36にはアルミニウム、タングステンあるいはポリシリコンなどの導電性がある素材を使用できる。その他本発明の趣旨を逸脱しない範囲で種々の変更をすることができる。

【0032】

【発明の効果】本発明の容量素子を有する半導体装置は、処理速度の低下などの問題を引き起こすこと無く、さらに必要な容量を確保しつつ、容量素子の占有面積を減少させることができる。

【図面の簡単な説明】

【図1】図1は本発明の半導体装置に係る容量素子の製造方法の製造工程を示す断面図であり、(a)はキャパシタ用ホールおよびコンタクトホール形成のためのレジスト形成工程まで、(b)はキャパシタ用ホールおよびコンタクトホールの開口工程まで、(c)は導電体の堆積工程までを示す。

【図2】図2(d)は図1の続きの工程を示す断面図であり、エッチングによる埋め込み電極部分以外の導電体の除去工程までを示し、図2(e)は本発明の半導体装置に係る容量素子を示す断面図であり、また、図2(d)の続きの工程の上層配線の形成工程までを示す。

【図3】図3は本発明の半導体装置に係る容量素子の製造方法の製造工程を示す断面図であり、(a)はキャパシタ用ホール形成のためのレジスト形成工程まで、(b)はキャパシタ用ホールの開口工程まで、(c)はコンタクトホールの開口工程までを示す。

【図4】図4(d)は図3の続きの工程を示す断面図で

あり、導電体の堆積およびエッチングによる埋め込み電極部分以外の伝導体の除去工程までを示し、図4(e)は本発明の半導体装置に係る容量素子を示す断面図であり、また、図4(d)の続きの工程の上層配線の形成工程までを示す。

【図5】図5は本発明の半導体装置に係る容量素子の製造方法の製造工程を示す断面図であり、(a)はキャパシタ用ホール形成のためのレジスト形成工程まで、

(b)はキャパシタ用ホールの開口工程まで、(c)はコンタクトホールの開口工程までを示す。

【図6】図6(d)は図5の続きの工程を示す断面図であり、導電体の堆積およびエッチングによる埋め込み電極部分以外の伝導体の除去工程までを示し、図6(e)は本発明の半導体装置に係る容量素子を示す断面図であり、また、図6(d)の続きの工程の上層配線の形成工程までを示す。

【図7】図7は本発明の半導体装置に係る容量素子の構造を示す断面図である。

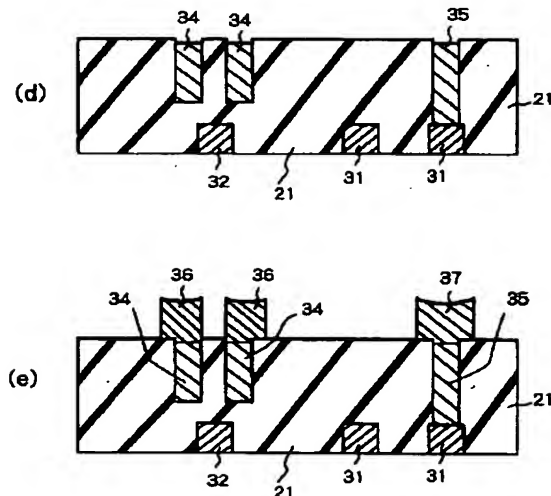
【図8】図8は図7に示す半導体装置と等価な回路図である。

【図9】図9は本発明の半導体装置に係る容量素子の一実施例の構造を示す斜視図である。

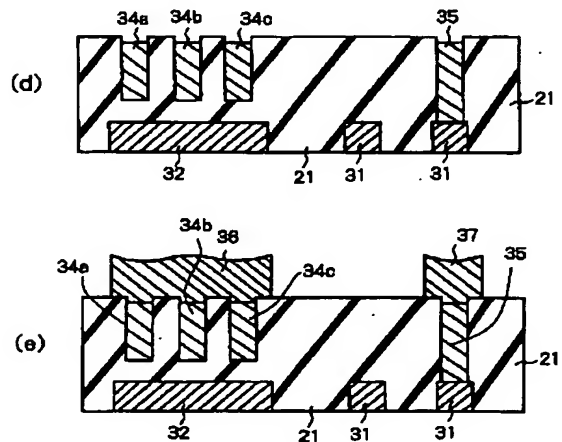
【符号の説明】

1…キャパシタ用ホールパターン、2…コンタクトホールパターン、21…層間平坦化膜、22…保護絶縁膜、31、32…下地配線、33…埋め込み配線層、34…埋め込みキャパシタ電極、35…埋め込みコンタクト電極、36、37…上層配線、38…電極接続部分、a、b、c、d…下部電極、A、B、C、D…上部電極、PH…キャパシタ用ホール、CH…コンタクトホール、R1、R2、R3…レジスト

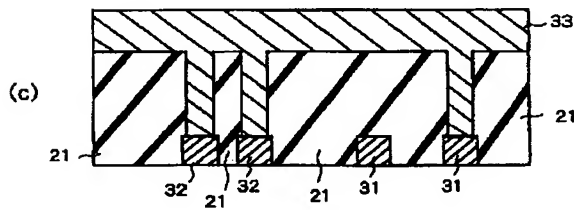
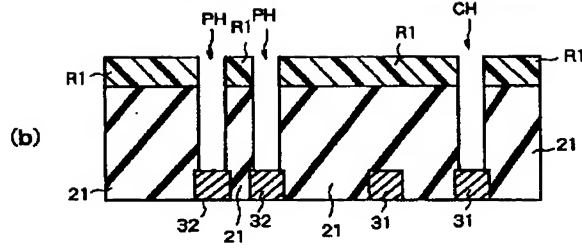
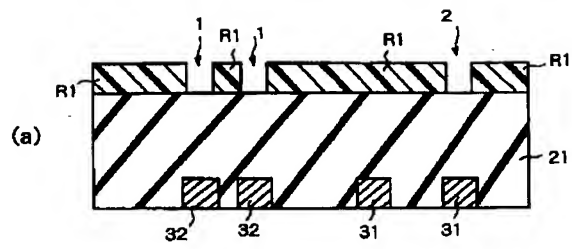
【図4】



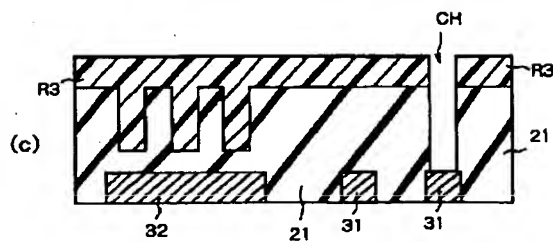
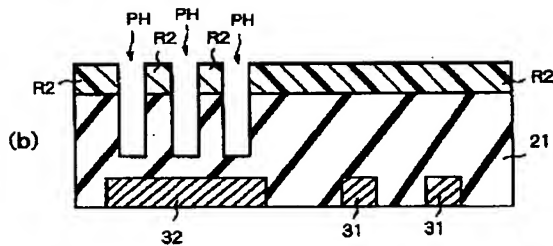
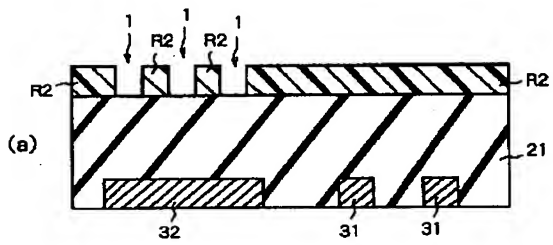
【図6】



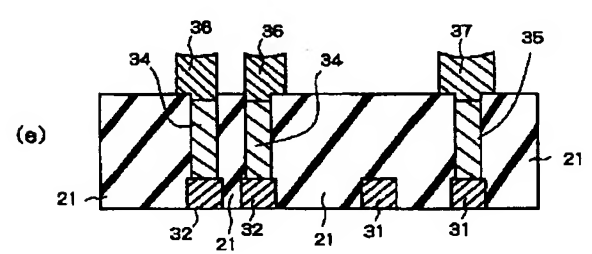
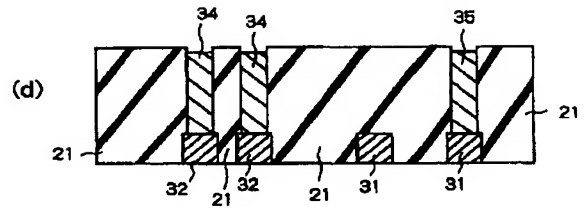
【図 1】



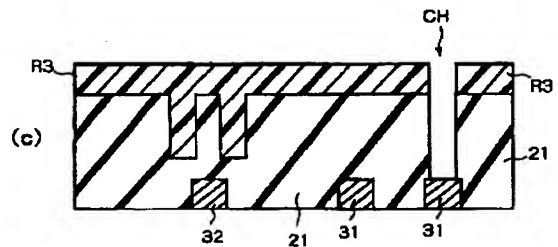
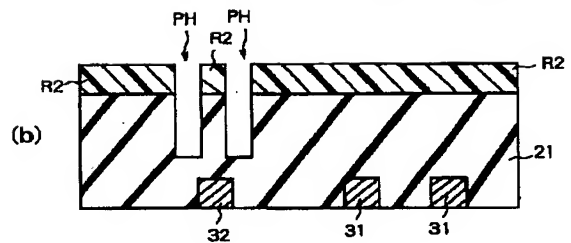
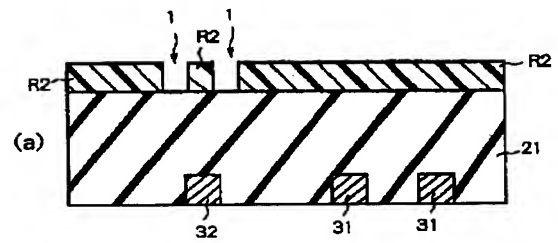
【図 5】



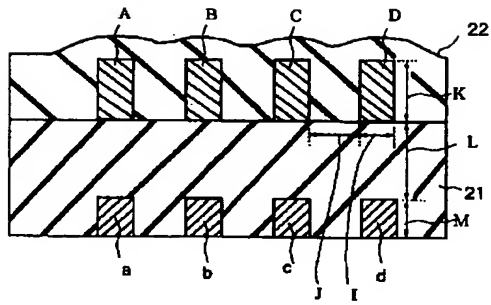
【図 2】



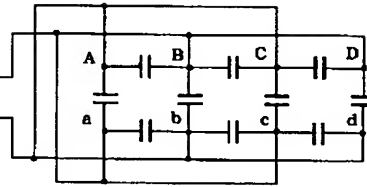
【図 3】



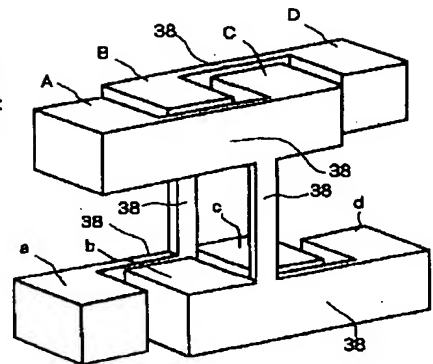
【図 7】



【図 8】



【図 9】



THIS PAGE BLANK (USPTO)